

【特許請求の範囲】

【請求項1】 バスに接続されるメモリに対するメモリ制御装置であって、前記バスと前記メモリとの間に介在して転送データのタイミングを調整するタイミング調整手段と、外部から入力される制御信号に応じて所定信号を前記タイミング調整手段に供給して異なるモードとなるように制御するモード制御手段とを備えたことを特徴とするメモリ制御装置。

【請求項2】 前記タイミング調整手段には、前記所定信号の立ち上がりエッジでデータを取り込む第1のタイミング調整手段と、前記所定信号の立ち下がりエッジでデータを取り込む第2のタイミング調整手段とが含まれることを特徴とする請求項1記載のメモリ制御装置。

【請求項3】 前記所定信号には、クロック信号と、クロック信号に基づいて生成されたタイミング信号とが含まれることを特徴とする請求項1または2記載のメモリ制御装置。

【請求項4】 前記メモリがシンクロナスRAMであり、前記モード制御手段は、前記第1のタイミング調整手段に前記クロック信号を供給することを特徴とする請求項3記載のメモリ制御装置。

【請求項5】 前記メモリがダブルデータレート・シンクロナスRAMであり、前記モード制御手段は、前記第1及び第2のタイミング調整手段に前記クロック信号に基づいて生成されたタイミング信号を供給することを特徴とする請求項3記載のメモリ制御装置。

【請求項6】 さらに、前記タイミング調整手段と前記メモリとの間にデータ信号レベルのレベル変換手段を備えたことを特徴とする請求項1～5記載のメモリ制御装置。

【請求項7】 請求項1～6のいずれか1項に記載のメモリ制御装置を有することを特徴とするインターフェース装置。

【請求項8】 請求項7に記載のインターフェース装置が半導体基板上に集積化されたことを特徴とする半導体集積チップ。

【請求項9】 バスとメモリとの間に介在し、立ち上がりエッジでデータを取り込む第1のタイミング調整手段と、立ち下がりエッジでデータを取り込む第2のタイミング調整手段とを備えたメモリ制御装置の動作切替方法であって、外部から入力される制御信号に応じて所定信号を前記第1及び第2のタイミング調整手段に供給して異なるモードとなるように制御する工程を有することを特徴とする動作切替方法。

【請求項10】 前記所定信号には、クロック信号と、クロック信号に基づいて生成されたタイミング信号とが

含まれることを特徴とする請求項9記載の動作切替方法。

【請求項11】 前記メモリがシンクロナスRAMであり、前記異なるモードとなるように制御する工程においては、前記第1のタイミング調整手段に前記クロック信号を供給することを特徴とする請求項10記載の動作切替方法。

【請求項12】 前記メモリがダブルデータレート・シンクロナスRAMであり、前記異なるモードとなるように制御する工程においては、前記第1及び第2のタイミング調整手段に前記クロック信号に基づいて生成されたタイミング信号を供給することを特徴とする請求項10記載の動作切替方法。

【請求項13】 請求項9～12のいずれか1項に記載の動作切替方法を実行可能なプログラムが記載された記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、異なる仕様のDRAMに対応する汎用性及び拡張性の高い情報処理システムに用いて好適なメモリ制御装置及び動作切替方法に関し、また、そのメモリ制御装置を備えたインターフェース装置等に関する。

【0002】

【従来の技術】近年、CPUの高速化に伴ってDRAMの高速化の必要性が高まってきており、各種の新しい方式のDRAMが実用化されている。その一つにシンクロナスDRAM (SDRAM) がある。SDRAMは、内部の動作が外部からのクロック信号に同期して動作するように構成されている。現在のメモリ市場においては、SDRAMが主流であり、CPUを中心とした情報処理システムにおけるメモリ制御装置もSDRAMに対応するように構成されている。

【0003】

【発明が解決しようとする課題】しかしながら、従来技術においては、メモリ制御装置がSDRAMのみに対応するように構成されているため汎用性及び拡張性に欠ける問題点を有する。また、ほんの数年前まではEDO (Extended data out) DRAMやFPM (First page mode) DRAMが全盛であったことを考えると、これから近い将来異なるメモリが主流となっていくことが想定される。その一つは、パソコン向けのRambus DRAMであり、もう一つは、サーバ向けのDDR (Double Data Rate) SDRAM (以下、DDRと称す) である。DDRは、クロック信号とは別のデータストロブ信号により動作するため、SDRAMのみに対応したメモリ制御装置では、対応できない。このため、異なる仕様のメモリに対して容易に対応できるメモリ制御装置が要望されている。

【0004】本発明は、斯かる問題点を鑑みてなされたものであり、その目的とするところは、異なる仕様のメモリに対して容易に対応できる汎用性及び拡張性の高いメモリ制御装置及び動作切替方法を提供する点にある。また、そのメモリ制御装置を備えたインターフェース装置等と、その動作切替方法を実行する記録媒体を提供する点にある。

【0005】

【課題を解決するための手段】本発明は、上記課題を解決すべく、以下に掲げる構成とした。請求項1記載の発明の要旨は、バスに接続されるメモリに対するメモリ制御装置であって、前記バスと前記メモリとの間に介在して転送データのタイミングを調整するタイミング調整手段と、外部から入力される制御信号に応じて所定信号を前記タイミング調整手段に供給して異なるモードとなるように制御するモード制御手段とを備えたことを特徴とするメモリ制御装置に存する。請求項2記載の発明の要旨は、前記タイミング調整手段には、前記所定信号の立ち上がりエッジでデータを取り込む第1のタイミング調整手段と、前記所定信号の立ち下がりエッジでデータを取り込む第2のタイミング調整手段とが含まれることを特徴とする請求項1記載のメモリ制御装置に存する。請求項3記載の発明の要旨は、前記所定信号には、クロック信号と、クロック信号に基づいて生成されたタイミング信号とが含まれることを特徴とする請求項1または2記載のメモリ制御装置に存する。請求項4記載の発明の要旨は、前記メモリがシンクロナスRAMであり、前記モード制御手段は、前記第1のタイミング調整手段に前記クロック信号を供給することを特徴とする請求項3記載のメモリ制御装置に存する。請求項5記載の発明の要旨は、前記メモリがダブルデータレート・シンクロナスRAMであり、前記モード制御手段は、前記第1及び第2のタイミング調整手段に前記クロック信号に基づいて生成されたタイミング信号を供給することを特徴とする請求項3記載のメモリ制御装置に存する。請求項6記載の発明の要旨は、さらに、前記タイミング調整手段と前記メモリとの間にデータ信号レベルのレベル変換手段を備えたことを特徴とする請求項1～5記載のメモリ制御装置に存する。請求項7記載の発明の要旨は、請求項1～6のいずれか1項に記載のメモリ制御装置を有することを特徴とするインターフェース装置に存する。請求項8記載の発明の要旨は、請求項7に記載のインターフェース装置が半導体基板上に集積化されたことを特徴とする半導体集積チップに存する。請求項9記載の発明の要旨は、バスとメモリとの間に介在し、立ち上がりエッジでデータを取り込む第1のタイミング調整手段と、立ち下がりエッジでデータを取り込む第2のタイミング調整手段とを備えたメモリ制御装置の動作切替方法であって、外部から入力される制御信号に応じて所定信号を前記第1及び第2のタイミング調整手段に供給して異なる

モードとなるように制御する工程を有することを特徴とする動作切替方法に存する。請求項10記載の発明の要旨は、前記所定信号には、クロック信号と、クロック信号に基づいて生成されたタイミング信号とが含まれることを特徴とする請求項9記載の動作切替方法に存する。請求項11記載の発明の要旨は、前記メモリがシンクロナスRAMであり、前記異なるモードとなるように制御する工程においては、前記第1のタイミング調整手段に前記クロック信号を供給することを特徴とする請求項10記載の動作切替方法に存する。請求項12記載の発明の要旨は、前記メモリがダブルデータレート・シンクロナスRAMであり、前記異なるモードとなるように制御する工程においては、前記第1及び第2のタイミング調整手段に前記クロック信号に基づいて生成されたタイミング信号を供給することを特徴とする請求項10記載の動作切替方法に存する。請求項13記載の発明の要旨は、請求項9～12のいずれか1項に記載の動作切替方法を実行可能なプログラムが記載された記録媒体に存する。

【0006】

【発明の実施の形態】先ず、本発明の各実施の形態を説明する前に本発明の特徴について簡単に説明する。図1は、本発明の特徴を説明するための概念図である。本発明によるメモリ制御装置は、図1に示すように外部から入力されるモード切替信号に応じて仕様の異なるメモリ(A, B, ...)に対応した内部状態とし、仕様の異なるメモリ(A, B, ...)のそれぞれにおいてバスを介して接続されるプロセッサ等からのメモリに対する書き込み/読み出し動作を可能とする。以下、例えば、メモリAとしてシンクロナスDRAM(以下、SDRAMと称す)が用いられ、メモリBとしてDouble Data Rate SDRAM(以下、DDRと称する)が用いられる場合の本発明の実施の形態を図面に基づいて詳細に説明する。

【0007】図2は、本発明の第1の実施の形態に係わるメモリ制御装置が含まれる情報処理システムの一例を示すブロック図である。図2に示すように情報処理システムは、CPU2と、インターフェース部1と、メモリ3と、フラッシュRAM4等により構成されている。インターフェース部1は、本発明によるメモリ制御装置11や、CPU2、メモリ3、フラッシュRAM4等に対するデバイスインタフェースと各機能設定や要因表示などのレジスタや、汎用バスとしてPCI(Programmable communications interface)バスインタフェース等を有している。CPU2は、必要に応じてバス及びインターフェース部1を介してメモリ3及びフラッシュRAM4から各種データを読み出すと共に、メモリ3及びフラッシュRAM4に対して所定データを書き込む。なお、メモリ3が後述するようにSDRAMまたはDDRであり、例えば、ワークメモリとして用いられる。また、フ

ラッシュRAM4には、予めプログラムや、各種制御データ等が格納されている。

【0008】このようにCPU2と、各メモリとの間に介在するインターフェース部1が、例えば、同一半導体基板上に形成され、1チップに集積化されている。メモリ制御装置11には、モード切替信号が供給される。この情報処理システムのメモリ制御装置11においては、例えば、ハイレベルのモード切替信号が供給される場合には、SDRAMに対応するように内部状態が制御され、ローレベルのモード切替信号が供給される場合には、DDRに対応するように内部状態が制御される。なお、図2に示す例の場合には、インターフェース部1をチップ化した例であるが、メモリ制御装置11を単体で集積化したり、CPU2や他の回路部分を含めて集積化するようにしても良い。

【0009】図3は、上述したメモリ制御装置11の具体的な構成の一例を示すブロック図である。図3に示すようにメモリ制御装置11は、制御信号生成回路31、セレクト回路32、リフレッシュ回路33、アドレス信号生成回路34、アドレス/データ切替回路35、データバッファ36、レベル変換回路37等を有する。なお、図3において12で示されるのがDLL (Delay Locked Loop)回路であり、クロック信号を必要とするメモリ制御回路11の各回路に対してこのDLL回路12を介して遅延差がないようにクロック信号が分配される。

【0010】CPU2からのデータ及びアドレスデータがバスを介してセレクト回路32、リフレッシュ回路33、アドレス/データ切替回路35のそれぞれに供給される。アドレス/データ切替回路35には、制御信号生成回路31からの制御信号が供給されており、アドレス/データ切替回路35において、データとアドレスデータとが振り分けられ、データがデータバッファ36に供給され、アドレスデータがアドレス信号生成回路34に供給される。アドレス信号生成回路34には、制御信号生成回路31からの制御信号が供給されており、アドレス信号生成回路34において、アドレス信号が生成されてメモリ3に供給される。

【0011】データバッファ36には、外部からのモード切替信号が供給されると共に、制御信号生成回路31からクロック信号とデータストロープ信号が供給されている。データバッファ36は、モード切替信号がハイレベルの場合には、内部状態がSDRAMに対応するようにSDRAMモードに制御され、モード切替信号がローレベルの場合には、内部状態がDDRに対応するようにDDRモードに制御される。

【0012】レベル変換回路37は、データ用とデータストロープ信号用とで双方向に各1個の計4個のアンプを有し、それらアンプのそれぞれには、所定の電源電圧が供給される。具体的には、メモリ3がSDRAMの場合には、LVTTTL (Low Voltage Transistor Transis-

tor Logic)レベルとなるようにデータ信号の電圧関係が規定される。また、メモリ3がDDRの場合には、SSTL (Series Stub Termination Logic)-2レベルとなるようにデータ信号の電圧関係が規定される。

【0013】従って、SDRAMモードにおける書き込み時には、アドレス/データ切替回路35からのデータがデータバッファ36を介されることにより所定タイミングに調整された後、レベル変換回路37において、LVTTTLレベルに変換されてメモリ3に供給される。そして、メモリ3においてデータの書き込みがなされる。また、DDRモードにおける書き込み時には、アドレス/データ切替回路35からのデータがデータバッファ36を介されることにより所定タイミングに調整された後、レベル変換回路37において、SSTL-2レベルに変換されてメモリ3に供給されると共に、データストロープ信号がレベル変換回路37において、SSTL-2レベルに変換されてメモリ3に供給される。そして、メモリ3においてデータの書き込みがなされる。

【0014】一方、SDRAMモードにおける読み出し時には、メモリ3から読み出されたデータがレベル変換回路37を介されることによりCPU側の電圧レベルに変換された後、データバッファ36において、所定タイミングに調整され、アドレス/データ切替回路35及びバスを介してCPU2に供給される。また、DDRモードにおける読み出し時には、メモリ3から読み出されたデータと、データストロープ信号とがレベル変換回路37を介されることによりCPU側の電圧レベルに変換される。そして、読み出されたデータがデータバッファ36において、データストロープ信号に基づいて所定タイミングに調整され、アドレス/データ切替回路35及びバスを介してCPU2に供給される。

【0015】なお、セレクト回路32は、CPU2からのデータ及びアドレスデータによりアクセスモードを判定して制御情報を生成し、この制御情報を制御信号生成回路31に供給する。また、リフレッシュ回路33は、メモリ3に対するデータの再書き込みのタイミングを規定する制御情報を生成し、制御信号生成回路31に供給する。制御信号生成回路31は、各部からの制御情報に応じて各部への制御信号を生成する。

【0016】図4は、上述したデータバッファ36の具体的な構成の一例を示すブロック図である。図4に示すようにデータバッファ36は、立ち上がりバッファ42、立ち下がりバッファ43、モード制御回路41等を有する。モード制御回路41には、制御端子40が設けられており、この制御端子40を介してモード切替信号が供給される。また、モード制御回路41には、制御信号生成回路31からのクロック信号と、データストロープ信号とが供給される。

【0017】モード制御回路41は、モード切替信号がハイレベルの場合、即ち、SDRAMモードでは、クロ

ック信号を立ち上がりバッファ42のみに供給する。立ち上がりバッファ42において、クロック信号の立ち上がりエッジでデータが取り込まれ、一時的に保持される。このことによりデータの転送タイミングが調整される。また、モード制御回路41は、モード切替信号がローレベルの場合、即ち、DDRモードでは、データストロープ信号を立ち上がりバッファ42及び立ち下がりバッファ43の両者に供給すると共に、データストロープ信号をレベル変換回路37を介してメモリ3に供給する。立ち上がりバッファ42において、データストロープ信号の立ち上がりエッジでデータが取り込まれ、立ち下がりバッファ43において、データストロープ信号の立ち下がりエッジでデータが取り込まれ、一時的に保持される。このことによりデータの転送タイミングが調整される。

【0018】上述したように構成される第1の実施の形態の動作についてさらに詳細に説明する。図5及び図6は、読み出し動作を説明するためのタイムチャートであり、図7及び図8は、書き込み動作を説明するためのタイムチャートである。なお、図5～図8までの各図においては、CASレイテンシ2（CL=2と称す）、バースド長4（BL=4と称す）におけるアクセスタイミングを示す。

【0019】先ず、モード切替信号がローレベルとされたDDRモードにおける読み出し動作について図5を用いて説明する。メモリ3への読み出し動作であるのでクロックt0でリードコマンドを出力（DDR、SDRAMともに同じ）する。このタイミングから2クロック後t2（CL=2の場合）にメモリ3（DDR）より出力されるプリアンプ（駆動開始）期間を経てクロック信号t3によって出力されたデータストロープ信号の立ち上がりエッジによって最初のデータD0を立ち上がりバッファ42で取り込む。同様にしてデータストロープ信号の次の立ち下がりエッジ（t3とt4との間）によって次のデータD1を今度は立ち下がりバッファ43で取り込む。そして、次のデータストロープ信号の立ち上がりエッジによってデータD2を立ち上がりバッファ42で取り込み、次の立ち下がりエッジによってデータD3を下がりバッファ43で取り込む。

【0020】一方、モード切替信号がハイレベルとされたSDRAMモードにおける読み出し動作について図6を用いて説明する。SDRAMモードでは図6に示すようにデータストロープ信号は使用せずクロック信号の立ち上がりエッジでのみ、データを取り込む。つまり、前述したようにモード制御回路41内でデータストロープ信号とクロック信号とをモード切替信号の状態で制御する。従って、図6のリードコマンド出力後のクロック信号t2でメモリ3（SDRAM）より出力されたデータD0をクロック信号t3によって立ち上がりバッファ42で取り込む。同様にしてクロック信号t4で次のデー

タD1を立ち上がりバッファ42で取り込み、次のクロック信号t5でデータD2を立ち上がりバッファ42で取り込み、次のクロック信号t6でデータD3を立ち上がりバッファ42で取り込む。そのためSDRAMモードの時は立ち下がりバッファ43が使用されない。

【0021】次に、モード切替信号がローレベルとされたDDRモードにおける書き込み動作について図7を用いて説明する。メモリ3への書き込み動作であるのでクロック信号t0でライトコマンドを出力（DDR、SDRAMともに同じ）する。図7においてクロック信号t1でデータストロープ信号をプリアンプ（駆動を開始）にする。1クロックのプリアンプ時間経過後のクロック信号t2でデータストロープ信号をクロックと同期させ同時にデータを必要数（この場合4データ、D0～D3）だけ出力する。

【0022】一方、モード切替信号がハイレベルとされたSDRAMモードにおける書き込み動作について図8を用いて説明する。SDRAMモードでは図8に示すようにデータストロープ信号は使用しないためライトコマンドと同時に最初のライトデータD0を出力する。順次クロック信号t1、t2、t3の立ち上がりでデータD1、D2、D3を出力する。このようにSDRAMモードでは、データストロープ信号が使用されない。つまり、データストロープ信号を立ち上がりバッファ42及び立ち下がりバッファ43の両者共に供給しない（基板上ではどこにも配線されない）ため、データストロープ信号をマスクするなどの制御は行わなくとも良く、また、別に行っても良い。

【0023】以上説明したように第1の実施の形態によれば、以下に掲げる効果を奏する。その効果は、モード切替信号に応じてDDRとSDRAMとを使用することができることである。このため、現在主流であるSDRAMを制御するメモリ制御装置として最初に使用し、将来DDRが主流となった場合に、DDRメモリ制御装置として使用することで、LSIを作り直さずに容易にかつ迅速にDDRが使用できるようになり、無駄なコストを削減することが可能となる。

【0024】（第2の実施の形態）次に第2の実施の形態について説明する。上述した第1の実施の形態の説明においては、DRAMに本発明を適用した場合について説明したが、類似した仕様でSRAMにもDDR-SRAMがあるので容易に適用することができ、また、他の仕様のRAMに対して容易に適用することができる。さらに、上述した第1の実施の形態においては、モード切替信号に応じてSDRAMとDDRとの二つのDRAMに対応する場合について説明したが、3種類以上の異なる仕様のメモリに対応するようにしても良い。

【0025】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態が適宜変更され得ることは明らかである。また、上記

構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0026】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。その効果は、モード切替信号に応じて異なる仕様のメモリを使用することができることである。このため、現在主流であるSDRAMを制御するメモリ制御装置として最初に使用し、将来DDRが主流となった場合に、DDRメモリ制御装置として使用することで、LSIを作り直さずに容易にかつ迅速にDDRが使用できるようになり、無駄なコストを削減することが可能となる。

【図面の簡単な説明】

【図1】本発明の特徴を説明するための概念図である。

【図2】本発明の第1の実施の形態に係わるメモリ制御装置が含まれる情報処理システムの一例を示すブロック図である。

【図3】本発明の第1の実施の形態におけるメモリ制御装置の具体的な構成の一例を示すブロック図である。

【図4】本発明の第1の実施の形態におけるデータバッファの具体的な構成の一例を示すブロック図である。

【図5】本発明の第1の実施の形態の動作説明に用いるタイムチャートである。

【図6】本発明の第1の実施の形態の動作説明に用いるタイムチャートである。

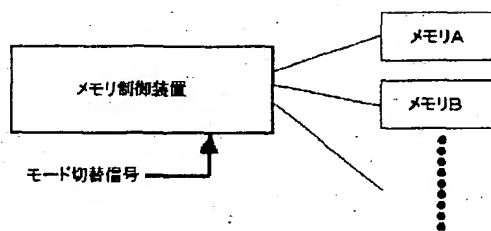
【図7】本発明の第1の実施の形態の動作説明に用いるタイムチャートである。

【図8】本発明の第1の実施の形態の動作説明に用いるタイムチャートである。

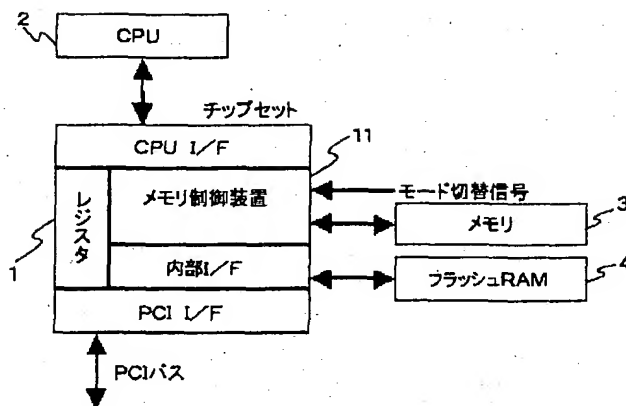
【符号の説明】

- 1・・・インターフェース部
- 2・・・CPU
- 3・・・メモリ
- 4・・・フラッシュRAM
- 11・・・メモリ制御装置
- 12・・・DLL回路
- 31・・・制御信号生成回路
- 32・・・セレクト回路
- 33・・・リフレッシュ回路
- 34・・・アドレス信号生成回路
- 35・・・アドレス/データ切替回路
- 36・・・データバッファ
- 37・・・レベル変換回路
- 40・・・制御端子
- 41・・・モード制御回路
- 42・・・立ち上がりバッファ
- 43・・・立ち下がりバッファ

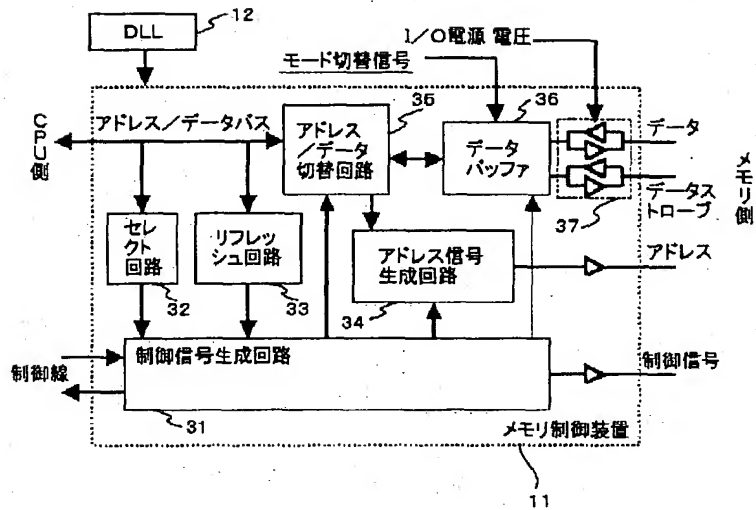
【図1】



【図2】

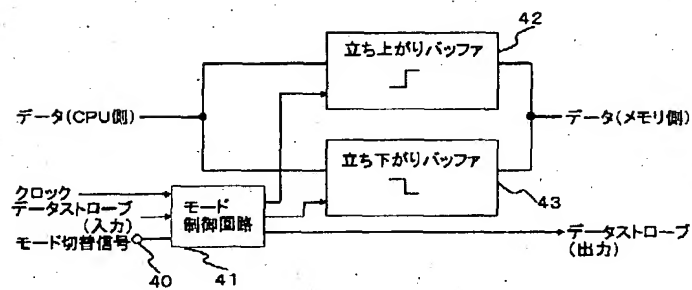


【図3】



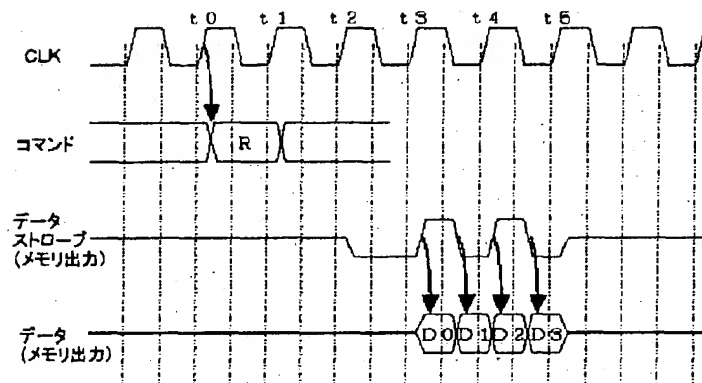
37...レベル変換回路

【図4】

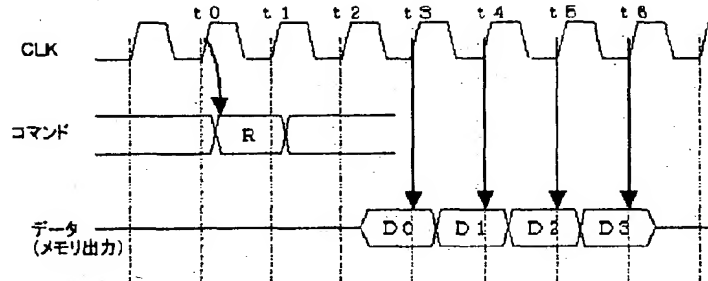


40...制御端子

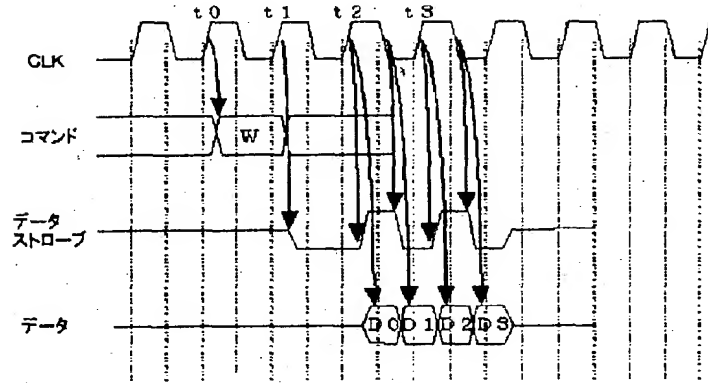
【図5】



【図6】



【図7】



【図8】

